

**BEST AVAILABLE COPY**

**COPY OF PAPERS  
ORIGINALLY FILED**

**(19) THE KOREAN INDUSTRIAL PROPERTY OFFICE (KIPO)**

**(12) PATENT APPLICATION PUBLISHED (A)**

(51) ° int. Cl.  
H03D 3/00

(11) Publication Number: P1999-003241  
(12) Publication Date: 15 January 1999(15.1.1999)

---

(21) Application No.: 10-1997-027069

(22) Application Date: 25 June 1997 (25.6.1997)

---

(71) APPLICANT: KOREA ELECTRONICS & TELECOMMUNICATIONS  
RESEARCH INSTITUTE Jong-Yong Yoon  
416, Maetan-dong, Paldal-gu, Suwon-shi, Republic of Korea

(72) INVENTOR: Min-Goo KIM  
Yuwonbosung APT. #606-806, 1265, Kwonseon-dong,  
Kwonseon-gu, Suwon-shi, Kyonggi-do, Republic of Korea

Deok-Hwan, KIM  
581-1, Jukgeon-li, Suji-eup, Yongin-shi, Kyonggi-do, Republic  
of Korea

Kyoung-Ha LEE  
Samik APT. #13-203, Cheongdam-dong, Kangnam-gu, Seoul,  
Republic of Korea

Young-Hee Jeon  
34, Gajeong-dong, Yusung-gu, Daejeon-shi, Republic of Korea

Hyung-Jin CHOI  
Woosung APT. #6-903, Jamsil-dong, Songpa-gu, Seoul,  
Republic of Korea

(74) AGENT: Keon-Joo LEE

---

(54) TITLE OF INVENTION: SYMBOL SYNCHRONIZATION CIRCUIT FOR  
RECOVERING FM DIGITAL DATA IN AMPS SYSTEM

---

**[ABSTRACT]**

The present invention relates to a symbol synchronization circuit for demodulating FM(Frequency Modulation) digital data of AMPS(Advanced Mobile Phone Service) having



integrating and dumping unit, more particularly, the symbol synchronization circuit includes a linear interpolator for tracking a symbol central transition point among fixed sample signals according to a predetermined interpolation value, a time detector for detecting a time of the tracking signal, a loopfilter for loop-filtering the detected timing signal, an oscillator for providing an interpolation value indicating interpolation point between next samples in the rotational interpolator and having + value during a half period of a symbol and - value during another half period for manchester decoding a converted point value of symbols or each of samples in the integrating and dumping unit.

**[REPRESENTATIVE DRAWING]**

Fig. 3



(19) 대한민국특허청(KR)  
(12) 공개특허공보(A)

(51) Int. Cl. <sup>6</sup> H03D 3 /00 (11) 공개번호 특 1999-003241  
(43) 공개일자 1999년 01월 15일

(21) 출원번호 특 1997-027069

(22) 출원일자 1997년 06월 25일

(71) 출원인 삼성전자 주식회사 윤종용

(72) 발명자 경기도 수원시 팔달구 매탄동 416번지  
김민구

경기도 수원시 권선구 권선동 1265번지 유원보성아파트 606동 806호

김덕환

경기도 용인시 수지구 죽전리 581-1

이경하

서울특별시 강남구 청담동 삼익아파트 13동 203호

전영희

대전광역시 유성구 가정동 34

최형진

(74) 대리인 서울특별시 송파구 잠실동 우성아파트 6동 903호  
이건주

심사청구 : 있음

(54) 에이엠피에스시스템에서의 에프엠 디지털 데이터 복조를 위한 심볼동기회로

요약

인테그레이트 앤 덤프부를 구비한 에이엠피에스시스템의 에프엠 디지털 데이터 복조를 위한 심볼동기회로에 있어서, 소정의 보관값에 따라 고정 샘플된 신호 사이의 심볼중앙 천이지점을 추적하여 추적신호를 출력하는 선행보간부와, 상기 추적신호에 대한 타이밍을 검출하는 타이밍검출부와, 검출된 타이밍신호를 루프필터링하는 루프필터와, 상기 선행보간기에 다음 샘플간의 보관지점을 지정하는 보관값을 제공하며, 상기 인테그레이트 앤 덤프부에 심볼간의 변화지점값 및 각 샘플에 대한 맨체스터 디코딩을 위하여 심볼의 반주기 동안은 +값을 가지고 나머지 반주기 동안은 -값을 가지는 파형을 제공하는 발진기로 구성됨을 특징으로 한다.

대표도



### 도3

#### 명세서

#### 도면의 간단한 설명

도 1은 얼리-레이트방식에 의한 심볼복원회로의 구성을 나타낸 블록도

도 2는 데이터 천이 추적루프를 적용한 심볼복원회로의 구성을 나타낸 블록도

도 3은 본 발명의 실시 예에 따른 심볼동기회로가 적용되는 에프엠 디지털 복조기의 구성을 나타낸 블록도

도 4는 도 3중 리드-랙 데이터 천이 추적루프를 적용한 타이밍검출부의 구체적인 구성을 나타낸 블록도

도 5a는 입력파형이 훈련열인 경우에 대한 리드-랙 데이터 천이 추적루프의 동작을 나타낸 도면

도 5b는 입력파형이 랜덤 데이터인 경우에 대한 리드-랙 데이터 천이 추적루프의 동작을 나타낸 도면

도 6a는 입력파형이 훈련열인 경우에 대한 리드-랙 데이터 천이 추적루프의 동작을 세 가지 리드게인으로써 비교하여 나타낸 도면

도 6b는 입력파형이 랜덤 데이터인 경우에 대한 리드-랙 데이터 천이 추적루프의 동작을 세 가지 리드게인으로써 비교하여 나타낸 도면

#### 발명의 상세한 설명

#### 발명의 목적

#### 발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 이동통신시스템에 있어서 IS-95 듀얼모드(dual mode) 동작에 적합한 에이엠피에스(Advanced Mobile Phone Service: 이하 AMPS라 함.)용 에프엠(Frequency Modulation: 이하 FM이라 함.) 디지털 데이터 복조 수신기를 위한 심볼동기회로에 관한 것으로, 특히 고정된 샘플링 클럭과 연동될 수 있는 구조를 가지는 심볼동기회로에 관한 것이다.

도 1은 얼리-레이트(early-late)방식에 의한 심볼복원회로의 구성을 나타낸 블록도이다.

AMPS시스템에서의 입력신호가 맨체스터 파형이므로 앞의 두 샘플과 뒤의 두샘플이 각각 다른 극성을 가진다. 그러므로 전 반부(early)쪽에는 심볼의 앞의 반주기에 대한 누적 결과를, 후반부(late)쪽에는 두쪽에 대한 누적결과를 저장시킨 후 이의 절대값에 대한 뱀센을 통하여 타이밍 에러를 검출한다. 이러한 방식은 가장 일반적이기는 하지만 심볼당 샘플 수가 작을 경우에는 수렴지점에서의 분산, 즉 교란이 심하다. 예를 들어 대표적인 하향변환 칩인 BBA(Base Band Analog)2는 심볼당 4샘플로서, 상기 심볼당 샘플 수가 작은 경우에 해당한다.

또한 실제 복조된 맨체스터코드 파형이 대칭적(symetric)하지 못하여 타이밍 에러가 없을 경우에도 비대칭적인(non



symmetric) 특성으로 인해 잘못된 에러신호가 출력될 경우가 크다. 또한 각 주기당 단지 샘플 수가 작을 경우 여러 가지 수렴지점이 발생할 수 있어 알고리즘 특성상 초기 지연값에 따라 수렴상태가 달라진다. 또한 심볼당 4샘플 정도로 샘플 수가 적을 경우 타이밍정보 해상도 문제가 크다. 다시 말해서, 1샘플의 타이밍에러가 결과적으로  $0.25T$ ( $T$ 는 심볼주기)의 에러를 가져오므로 이 순간 심볼결정과정에서의 에러 확률이 매우 커 결과적으로 낮은 신호대 잡음비(Signal to Noise Ratio: 이하 SNR이라 함.)에서 타이밍 지터에 의한 비트 에러율(Bit Error Rate: 이하 BER이라 함.) 열화가 극심하다.

도 2는 데이터 천이 추적루프(Data Transition Tracking Loop: 이하 DTTL이라 함.)를 적용한 심볼복원회로의 구성을 나타낸 블록도이다. DTTL은 입력신호의 영점교차지점을 추적하는 방식으로, 디지털회로로 구현할 경우 상기 도 2와 같다. 타이밍에러는 심볼의 영점교차점과 그 값 주위 샘플의 결정값의 차(타이밍에러의 극성을 결정하는 항)의 곱셈을 통하여 얻어진다. 샘플값이 정확히 영점교차지점에 있을 경우 타이밍에러는 0이 되며, 영점교차지점에서 벗어나는 만큼 에러신호로 계산된다. 이러한 방식은 구현이 용이하고 전술한 올리-레이트 방식에 비해 입력신호가 다소 비대칭적이라고는 하더라도 비교적 안정적으로 동작한다. 그러나 DTTL은 샘플링지점을 영점교차지점에 일치시키는 방식이므로, 고정된 샘플링 클럭과 연동되기 어렵다. 또한 DTTL은 NRZ(Non Return to Zero) 파형을 가진 신호를 위한 것이므로, 심볼당 4샘플의 맨체스터 파형의 경우에는 심볼 한 가운데와 심볼간의 경계에서 영점교차점이 생기므로 수렴성능이 나빠지며 +1과 -1이 반복되는 초기의 훈련열에 대해서는 수렴지점이  $0.25T \sim -0.25T$ 로 제한되는 문제점이 있다.

#### 발명이 이루고자하는 기술적 과제

따라서 본 발명의 목적은 에이엠피에스시스템에서의 FM 디지털 데이터 복조를 위한 심볼결정과정에서의 에러 확률을 낮추어 SNR 및 타이밍 지터에 의한 BER 열화를 최소화하는 심볼동기회로를 제공함에 있다.

상기한 목적을 달성하기 위한 본 발명은 인테그레잇 앤 덤프부를 구비한 에이엠피에스시스템의 에프엠 디지털 데이터 복조를 위한 심볼동기회로에 있어서, 소정의 보간값에 따라 고정 샘플된 신호 사이의 심볼중앙 천이지점을 추적하여 추적신호를 출력하는 선형보간부와, 상기 추적신호에 대한 타이밍을 검출하는 타이밍검출부와, 검출된 타이밍신호를 루프필터링하는 루프필터와, 상기 선형보간기에 다음 샘플간의 보간지점을 지정하는 보간값을 제공하며, 상기 인테그레잇 앤 덤프부에 심볼간의 변화지점값 및 각 샘플에 대한 맨체스터 디코딩을 위하여 심볼의 반주기 동안은 +값을 가지고 나머지 반주기 동안은 -값을 가지는 파형을 제공하는 발진기로 구성됨을 특징으로 한다.

#### 발명의 구성 및 작용

이하 본 발명의 바람직한 실시 예를 첨부한 도면을 참조하여 상세히 설명한다. 우선 각 도면의 구성 요소들에 참조 부호를 부가함에 있어서, 동일한 구성 요소들에 한해서는 비록 다른 도면상에 표시되더라도 가능한 한 동일한 부호를 가지도록 하고 있음에 유의해야 한다. 또한 하기 설명에서는 구체적인 회로의 구성 소자 등과 같은 많은 특정(特定) 사항들이 나타나고 있는데, 이는 본 발명의 보다 전반적인 이해를 돕기 위해서 제공된 것일 뿐 이러한 특정 사항들 없이도 본 발명이 실시될 수 있음은 이 기술 분야에서 통상의 지식을 가진 자에게는 자명하다 할 것이다. 그리고 본 발명을 설명함에 있어, 관련된 공지 기능 혹은 구성에 대한 구체적인 설명이 본 발명의 요지를 불필요하게 흐릴 수 있다고 판단되는 경우 그 상세한 설명을 생략한다.

도 3은 본 발명의 실시 예에 따른 심볼동기회로가 적용되는 FM 디지털 복조기의 구성을 나타낸 블록도이다. 40kHz의 속도를 가진 독립 발진기에 의해 샘플된 입력신호는 FM복조기를 통과하여 주파수성분, 즉 복조된 신호가 된다. 이 복조된 신호는 맨체스터 파형에 맞게 1심볼주기(4샘플을 포함한다.) 동안 디코딩과 동시에 인테그레잇 앤 덤프부 33에서 인테그레잇 앤 덤프됨으로써 최종적인 데이터 복구가 이루어진다. 또한 본 실시예에 따른 심볼동기회로는 소정의 보간값

에 따라 고정 샘플된 신호 사이의 심볼중앙 천이지점을 추적하여 추적신호를 출력하는 선형보간부 34와, 상기 추적신호에 대한 타이밍을 검출하는 타이밍검출부 35와, 검출된 타이밍신호를 루프필터링하는 루프필터 36와, 상기 선형보간기에



다음 샘플간의 보간지점을 지정하는 보간값

$\mu$ 를 제공하며, 상기 인테그리트 앤 덤프부에 심볼간의 변화지점값 및 각 샘플에 대한 맨체스터 디코딩을 위하여 심볼의 반주기 동안은 +값을 가지고 나머지 반주기 동안은 -값을 가지는 파형(+-)을 제공하는 발진기(NCO) 37로 구성된다.

도 4는 도 3중 LL-DTTL 타이밍검출부의 구체적인 구성을 나타낸 블록도이다. 상기 LL-DTTL 타이밍검출부의 구성에 따르면, 입력신호 TDI에 대해 한 심볼당 두 번, 즉 심볼의 경계시점에서 계산된 리드(lead) 신호

$\alpha$ 만큼의 이득을 준 다음, 심볼중앙시점에서 계산된 렉(lag)신호와와의 차이를 구함으로써 에러신호를 한 심볼당 한 번만 출력한다. 구체적으로,

상기 LL-DTTL 타이밍검출부는, 타이밍검출신호를 제1차 지연하는 제1지연부 42와, 상기 제1차 지연된 타이밍검출신호를 제2차 지연하는 제2지연부 43과, 상기 제1 및 제2차 지연된 각 타이밍검출신호에 대한 심볼중앙 천이지점을 판별하여 제1 및 제2판별신호를 출력하는 판별부 44와, 상기 제2판별신호에서 상기 제1판별신호를 감산하는 감산기 45와, 상기 감산기 출력과 상기 제1차 지연된 타이밍검출신호를 승산하는 승산기 46과, 상기 승산된 신호를 입력 고정 샘플의 반주기로 입력하기 위한 제1스위치 47과, 상기 스위치의 출력을 지연하는 제3지연부 48과, 상기 제3지연부 출력에 대한 이득을 조정하는 이득조정부 49와, 상기 스위치의 출력과 상기 이득조정부의 출력을 가산하는 가산기 50과, 상기 가산기 출력을 상기 입력 고정 샘플의 2배 주기로 출력하기 위한 제2스위치 51로 구성된다.

도 5a는 입력 파형이 훈련열인 경우에 대한 LL-DTTL의 동작을 나타낸 것이고, 도 5b는 입력파형이 랜덤 데이터인 경우에 대한 LL-DTTL의 동작을 나타낸 것이다.

$\alpha$ 는 리드신호쪽에 부여하는 이득으로 상황에 따라 조절하거나 혹은 고정된 값을 사용한다. 훈련열이 입력되는 기간중에는

$\alpha$ 를 1로 하는 것이 유리하다. 그러나 훈련열 10심볼을 통해 어느 정도 수렴이 이루어진 후( $\pm 0.5T$  이내) 랜덤열에 대해서는 0.5정도의 값이 가장 적절하다. 회로를 간략하게 하기 위하여 모든 경우에 대해 1로 고정시켜도 동작에 큰 무리는 없다. 참조부호 L1이 리드, L2가 렉을 나타낸다.

도 6a는 입력 파형이 훈련열인 경우에 대한 LL-DTTL의 동작을 세 가지 리드게인(lead gain)으로써 비교하여 나타낸 것이고, 도 6b는 입력파형이 랜덤 데이터인 경우에 대한 LL-DTTL의 동작을 세 가지 리드게인으로써 비교하여 나타낸 것이다.

상기한 구성을 갖는 도3 ~ 도6을 참조하여 본 실시 예에 따른 심볼동기회로의 동작을 구체적으로 설명하면 다음과 같다.

선형보간부 34는 고정 샘플된 신호사이의 심볼중앙 천이지점을 추적한다. 상기 선형보간부 34에서 보간되는 두 샘플

$x(kT)$ ,  $x((k+1)T)$ 사이값

$x(kT + \mu T)$ 을 다음 수학적식1과 같이 보간한다.

$$x(kT + \mu T) \approx (1 - \mu)x(kT) + \mu x((k+1)T)$$

상기 수학적식1에서 보간을 위한 계수, 즉 보간값

$\mu$ 가 0에서 1사이의 값을 가질 경우에는 두 샘플 사이에서 천이가 이루어진 것으로 간주한다. 이렇게 천이가 이루어진 경우에는 그 시점을 심볼의 중앙으로 판단하여 앞의 두 샘플에 대해서는 심볼 전반부로 +신호를, 뒤의 두 샘플에 대해서는 심볼의 후반부로 -신호를 출력하여 맨체스터 디코딩을 이룩한다. 이와 같은 선형보간은 두 샘플



$x(kT)$ ,

$x((k+1)T)$  사이의 변곡점이 없을 경우 정확하므로 영점교차지점에서는 비교적 정확한 결과를 얻을 수 있어서 심볼동기회로에 정확한 수렴지점을 제공한다.

한편 상기 선형보간부 34에 제공되는, 다음 샘플간의 보간지점을 나타내는 보간값

$\mu$ 에 대한 리셋모드(reset mode)는 '

$\mu > 1$ '의 경우와 '

$\mu < 0$ '의 경우로 나눌 수 있는데, '

$\mu > 1$ '인 경우에는 보간값을 '

$\mu = \mu - 1$ '로 갱신한다. 그리고 타이밍검출부 35 내부의 모든 레지스터값을 0으로 재설정한다. 이렇게 되면 갱신된 보간값에 의한 결과는 다시 -최대치로 기록되어 결과적으로는 한 샘플 앞당기는 효과를 가져 온다. 또한 '

$\mu < 0$ '인 경우에는 '

$\mu = \mu + 1$ '로 보간값이 갱신되며, 타이밍검출부 35 내부의 모든 레지스터값은 0으로 재설정된다. 이 경우는 한 샘플을 그대로 유지한 후에 다음 출력을 +최대치가 되는 3샘플후에 다음 보간값이 출력되도록 함으로써 한 샘플을 지연시키는 결과를 낳는다.

타이밍에러 검출부 35에 대하여 구체적으로 설명하면 다음과 같다.

상기 타이밍에러 검출부 35는 DTTL방식을 심볼당 4샘플의 맨체스터 파형에 알맞은 형태로 변환한 것이다. 즉 LL-DTTL을 적용한 것인데, 이러한 LL-DTTL 알고리즘은 심볼당 2번 영점교차점을 심볼의 전반부 최대치(리드지점, 두번째 샘플지점)와 후반부 최대치(랙, 네번째 샘플지점)에서 계산하는데, 먼저 리드에서 '

$|e| > 0.25T$ ' 내에 계산된 값은 유용한 정보를 제공하며 랙부분인 -최대치에서는 도 5a에 도시한 바와 같이 '

$|e| \leq 0.25T$ ' 내에 계산된 경우에 유용한 정보를 출력한다. 이 부분에서 영점교차가 발생할 확률은 10이어서 도 5에 도시한 바와 같이 랜덤신호가 입력되는 실제 추적모드에서는 리드에 비해 이득이 2배가 된다. 이들 두 개의 정보를 이용한 최종적인 타이밍검출부 출력은 다음 수학적식2로 나타낼 수 있다.

$L2 - \alpha L1$

즉 k번째 4개의 샘플에 대한 보간값  $\{a_{k,1},$

$a_{k,1}', a_{k,2}', a_{k,3}', a_{k,4}'$

$a_{k,1}', a_{k,2}', a_{k,3}', a_{k,4}'$

$a_{k,2}', a_{k,3}', a_{k,4}'$ 에 대한 LL-DTTL의 타이밍에러  $e$ 는 다음과 같다.



$$e_k = a_{k,3} \cdot (\hat{a}_{k,4} - \hat{a}_{k,2}) - a(a_{k,1} \cdot (\hat{a}_{k,2} - (\hat{a}_{k,1,4})))$$

효율적인 회로의 구성을 위해서 본 심볼동기회로는 다음과 같은 사항을 고려한다.

첫째, 실제 구현의 용이성을 고려하여 간단하고 적합한 구조로 설계한다. 이를 위하여 심볼동기는 아날로그/디지털(이하 A/D라 함.)변환의 타이밍을 조절하는 방식이 아닌 고정 클럭으로 동작하는 /D변환기에 의해 일정 간격으로 샘플된 신호에 대해 인테그레이트 앤 덤프부의 타이밍을 조절함으로써 이득하는 방식을 취한다. 또한 샘플링 속도도 아날로그신호의 복조를 위해 현재 사용하고 있는 40kHz(BBA2의 샘플링속도, AMPS의 심볼속도가 10kHz이므로 심볼당 4샘플)내에서 동작 가능한 회로를 구현한다. 이러한 구조는 외부와의 신호 교환을 가능한한 줄이고 복조칩내에서 자체적으로 신호처리를 완료할 수 있으므로 구현상의 잇점이 매우 크다. 또한 디지털신호처리기(Digital Signal Processor: DSP)에 의한 소프트웨어적 처리는 물론 실제 ASIC회로로 구현하는 데도 적합하도록 간단한 구조로 설계되어야 한다.

둘째, 일반적으로 APMS망에서 요구되는 FAR(False Alarm Rate)이나 WER(Word Error Rate) 등을 만족시키기 위해 심볼동기회로의 오동작으로 인한 BER 성능 열화를 최소화해야 한다. 또한 입력되는 신호가 맨체스터 코딩되어 있는 파형이며 심볼당 4샘플뿐이므로 타이밍 수정이 일어날 경우 한번에 최소 /4 심볼주기만큼의 변화가 생긴다. 그러므로 페이딩이나 잡음 등에 의해 발생하는 타이밍지터는 바로 BER의 열화와 직결되므로 이를 고려하여 오동작이 작은 매우 안정적인 회로의 설계가 요구된다.

셋째, 음성신호의 사이에 디지털신호가 섞여 입력되므로 가능한 빠른 초기동기가 필요하다. 또한 AMPS 규격에서 실제 데이터전에 입력되는 10개의 훈련열을 최대한 이용하는 것이 중요하다.

상기 고려 사항들 중 두번째와 세번째 조건간에는 트레이드-오프(trade-off)가 존재한다.

한편 본 발명의 상세한 설명에서는 구체적인 실시예에 관해 설명하였으나, 본 발명의 범위에서 벗어나지 않는 한도내에서 여러가지 변형이 가능함은 물론이다. 그러므로 본 발명의 범위는 설명된 실시예에 국한되어 정해져서는 않되며 후술하는 특허청구의 범위뿐 만 아니라 이 특허청구의 범위와 균등한 것들에 의해 정해져야 한다.

## 발명의 효과

상술한 바와 같은 본 발명은 선형보간을 함으로써 고정 샘플된 신호 사이의 정확한 수렴지점을 추적할 수 있으므로 해상도 문제에 제약을 받지 않아 빠른 초기동기와 안정된 정상상태를 함께 얻을 수 있으며, LL-DTTL 알고리즘을 이용한 타이밍에러 검출로 고정된 독립 클럭에 의한 심볼당 4샘플의 맨체스터 파형에 적합한 효율적인 심볼동기회로를 쉽게 구현할 수 있는 장점이 있다.

## (57) 청구의 범위

청구항 1. 인테그레이트 앤 덤프부를 구비한 에이엠피에스시스템의 에프엠 디지털 데이터 복조를 위한 심볼동기회로에 있어서,

소정의 보간값에 따라 고정 샘플된 신호 사이의 심볼중앙 천이지점을 추적하여 추적신호를 출력하는 선형보간부와,

상기 추적신호에 대한 타이밍을 검출하는 타이밍검출부와,

검출된 타이밍신호를 루프필터링하는 루프필터와,



상기 선형보간기에 다음 샘플간의 보간지점을 지정하는 보간값을 제공하며, 상기 인테그레잇 앤 덤프부에 심볼간의 변화 지점값 및 각 샘플에 대한 맨체스터 디코딩을 위하여 심볼의 반주기 동안은 +값을 가지고 나머지 반주기 동안은 -값을 가지는 파형을 제공하는 발진기로 구성됨을 특징으로 하는 심볼동기회로.

청구항 2. 제1항에 있어서, 상기 타이밍검출부는,

각 심볼당 전·후반으로 나누어 2번 심볼중앙 천이지점을 계산하도록 구성됨을 특징으로 하는 심볼동기회로.

청구항 3. 제1항에 있어서, 상기 타이밍검출부는,

타이밍검출신호를 제1차 지연하는 제1지연부와,

상기 제1차 지연된 타이밍검출신호를 제2차 지연하는 제2지연부와,

상기 제1 및 제2차 지연된 각 타이밍검출신호에 대한 심볼중앙 천이지점을 판별하여 제1 및 제2판별신호를 출력하는 판별부와,

상기 제2판별신호에서 상기 제1판별신호를 감산하는 감산기와,

상기 감산기 출력과 상기 제1차 지연된 타이밍검출신호를 승산하는 승산기와,

상기 승산된 신호를 입력 고정 샘플의 반주기로 입력하기 위한 제1스위치와,

상기 스위치의 출력을 지연하는 제3지연부와,

상기 제3지연부 출력에 대한 이득을 조정하는 이득조정부와,

상기 스위치의 출력과 상기 이득조정부의 출력을 가산하는 가산기와,

상기 가산기 출력을 상기 입력 고정 샘플의 2배 주기로 출력하기 위한 제2스위치로 구성함을 특징으로 하는 심볼동기회로

청구항 4. 제3항에 있어서,

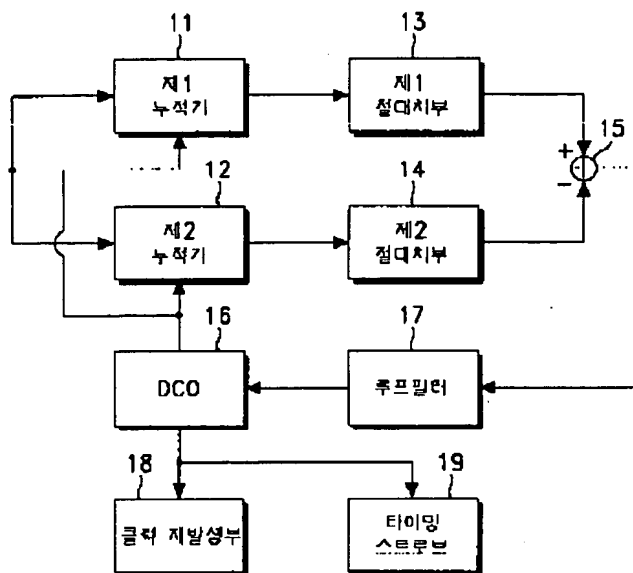
상기 보간값이 0보다 큰 경우, 상기 발진기는 상기 선형보간기로 제공되는 보간값을 1감소시키고 상기 타이밍검출부는 내부의 모든 레지스터값을 0으로 재설정하여 한 샘플 앞당기며,

상기 보간값이 0 미만인 경우, 상기 발진기는 상기 선형보간기로 제공되는 보간값을 1증가시키고 상기 타이밍검출부는 내부의 모든 레지스터값을 0으로 재설정하여 한 샘플 지연시키도록 구성함을 특징으로 하는 심볼동기회로.

도면

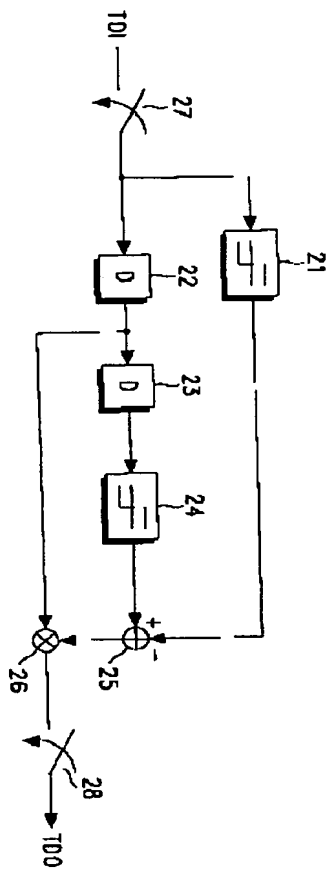
도면1





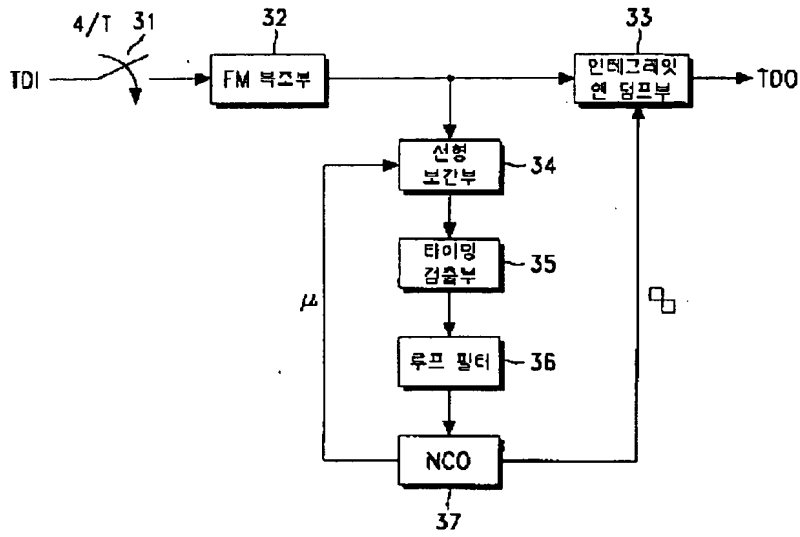
도면2





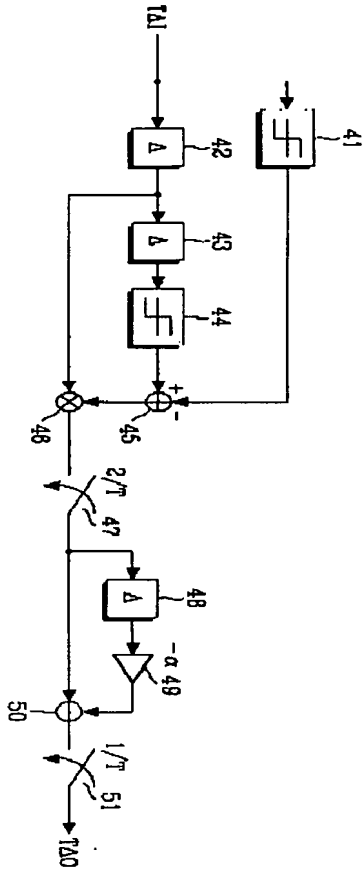
도면3



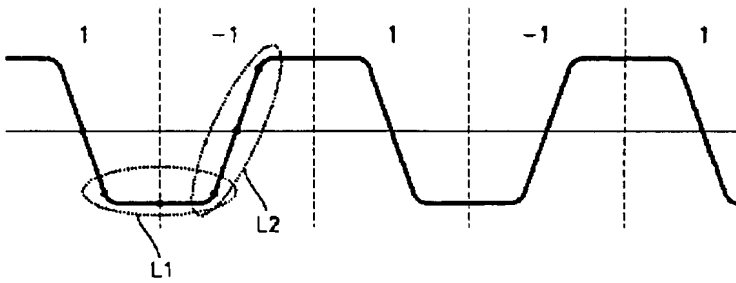


도면4



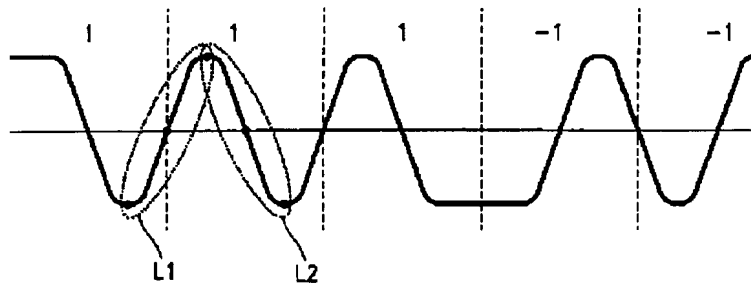


도면5a

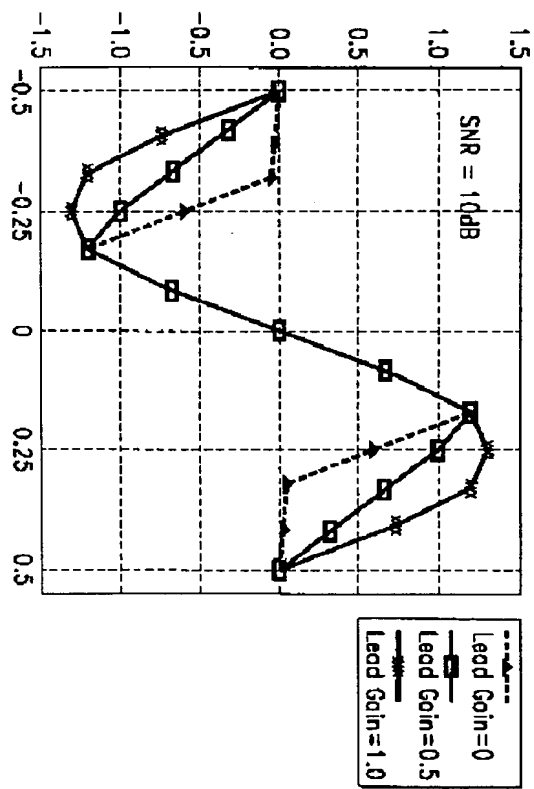


도면5b



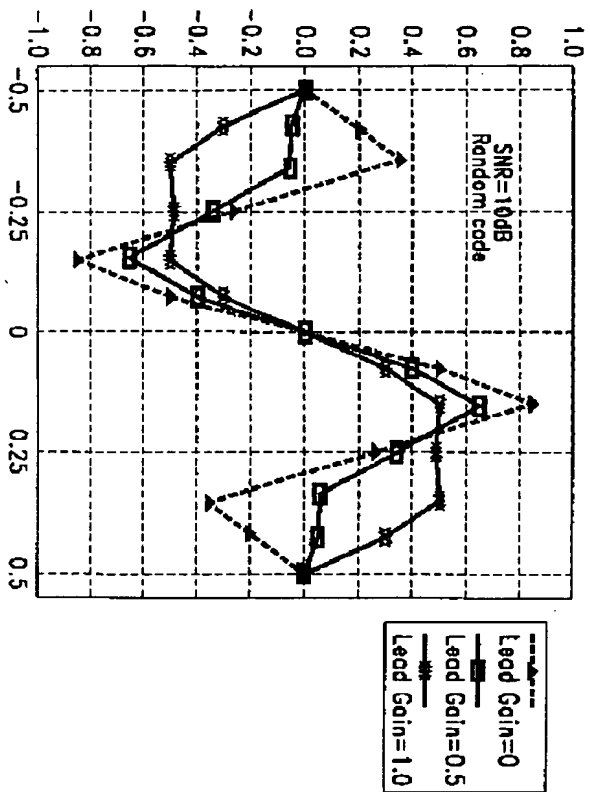


도면6a



도면6b







**This Page is Inserted by IFW Indexing and Scanning  
Operations and is not part of the Official Record**

## **BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ **BLACK BORDERS**
- ☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- ☐ **FADED TEXT OR DRAWING**
- ☐ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- ☐ **SKEWED/SLANTED IMAGES**
- ☐ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- ☐ **GRAY SCALE DOCUMENTS**
- ☒ **LINES OR MARKS ON ORIGINAL DOCUMENT**
- ☐ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- ☐ **OTHER: \_\_\_\_\_**

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.**